

5630
09/582067
Translation

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference IHP.138.PCT	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/DE98/03794	International filing date (day/month/year) 18 December 1998 (18.12.98)	Priority date (day/month/year) 22 December 1997 (22.12.97)
International Patent Classification (IPC) or national classification and IPC H01L 27/12		
Applicant INSTITUT FÜR HALBLEITERPHYSIK FRANKFURT (ODER) GMBH		

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.

2. This REPORT consists of a total of 6 sheets, including this cover sheet.

☒ This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).

These annexes consist of a total of 11 sheets.

3. This report contains indications relating to the following items:

- I ☒ Basis of the report
- II ☐ Priority
- III ☐ Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- IV ☐ Lack of unity of invention
- V ☒ Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- VI ☐ Certain documents cited
- VII ☒ Certain defects in the international application
- VIII ☐ Certain observations on the international application

RECEIVED
12 21 2000
TECHNOLOGY CENTER 2000

Date of submission of the demand 21 July 1999 (21.07.99)	Date of completion of this report 06 March 2000 (06.03.2000)
Name and mailing address of the IPEA/EP Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/DE98/03794

I. Basis of the report

1. This report has been drawn on the basis of *(Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to the report since they do not contain amendments.)*:

- ☐ the international application as originally filed.
- ☒ the description, pages 8, as originally filed,
 pages _____, filed with the demand,
 pages 1-7, filed with the letter of 21 December 1999 (21.12.1999),
 pages _____, filed with the letter of _____.
- ☒ the claims, Nos. _____, as originally filed,
 Nos. _____, as amended under Article 19,
 Nos. _____, filed with the demand,
 Nos. 1-8, filed with the letter of 21 December 1999 (21.12.1999),
 Nos. _____, filed with the letter of _____.
- ☒ the drawings, sheets/fig 1/1, as originally filed,
 sheets/fig _____, filed with the demand,
 sheets/fig _____, filed with the letter of _____,
 sheets/fig _____, filed with the letter of _____.

2. The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
- ☐ the claims, Nos. _____
- ☐ the drawings, sheets/fig _____

3. ☒ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).

4. Additional observations, if necessary:

See the Separate Sheet.

I. Basis of the report

1. This report has been drawn on the basis of *(Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to the report since they do not contain amendments.)*:

1. The amendments filed with the International Bureau according to PCT Article 19(1) introduce substantive matter which, contrary to the requirements of PCT Article 19(2), goes beyond the disclosure of the international application as filed. The amendments in question are the following:

1.1. In the claims:

1.1.1. Claim 4, page 9, lines 1-3, lines 6-7 and lines 10-11.

1.1.2. Claim 9, lines 13-14.

1.2. In the description:

1.2.1. Page 4, line 12.

1.2.2. Page 5, lines 13-17.

1.2.3. Page 6, line 24 to page 7, line 2.

1.2.4. Page 7, lines 6-7.

1.3. The features "in a width ratio of approximately 3:2 as well as a trench that is approximately 25% wider and surrounds the whole array of trenches and segments" and "this array of trenches and segments is surrounded by a wider trench with a width of approximately 1.5 μm " in Claims 4 and 7 (see also 1.2.3) cannot be derived from the originally-filed documents. Consequently, it can be ascertained that the amendments correspond to a selection that has not been disclosed and they are therefore inadmissible.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.
PCT/DE 98/03794

I. Basis of the report

1. This report has been drawn on the basis of *(Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to the report since they do not contain amendments.)*:

1.4. Details relating to the subject matter of the invention (e.g. additional details regarding the advantages of the invention or the problem to be solved) for which no basis can be found in the original documents - see 1.1.1, 1.2.1, 1.2.2 and 1.2.4 can only be referred to in the letter of response and should not be included in the application (PCT Article 34(2)(b)).

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.
PCT/DE 98/03794

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement

Novelty (N)	Claims	1-8	YES
	Claims		NO
Inventive step (IS)	Claims	4-8	YES
	Claims	1-3	NO
Industrial applicability (IA)	Claims	1-8	YES
	Claims		NO

2. Citations and explanations

1. The present application does not meet the requirements of PCT Article 33(3) since the subject matter of Claim 1 does not involve an inventive step.

Document D1 (US-A-5 548 150) is considered to be the closest prior art and discloses (see Figures 78 and 79 and the corresponding text) an inductor (i.e. a special passive element) that is formed on an insulating layer recessed in the semiconductor substrate - see column 26, lines 36-47. Even if it was not possible to derive such a characteristic explicitly from D1 it would be a necessary characteristic to a person skilled in the art since the adjacent inductor strips need to be electrically insulated from one another (in this connection see also column 25, lines 3 to 9).

The subject matter of Claim 1 differs from this integrated circuit only in that the insulating layer is at least 5 μm thick. The use of such a layer thickness can be regarded as obvious since it is explicitly mentioned in lines 45-47 and 57-60 of

column 26 that this layer should be thick in order to reduce parasitic capacitance (see also in this connection the embodiment of Figure 30 where layer thicknesses of more than 10 μm are used) (PCT Article 33(3)).

2. Dependent Claims 2 and 3 do not contain any features which in combination with the features of any claim to which they refer back meet the PCT requirements for inventive step. The features that have clearly not already been disclosed in D1, i.e. the use of integrated inductors, resistors and capacitors in MMIC technology on SOI, are known from D3 (see abstract and Figure 2).
3. The relevant prior art neither discloses nor suggests a Claim 4 amended according to the objections raised in paragraph 1 (see the originally-filed Claim 7). A reduced dielectric constant is realised on the basis of such a process for producing an array of trenches and segments with a specific width ratio.

VII. Certain defects in the international application

The following defects in the form or contents of the international application have been noted:

Contrary to the requirements of PCT Rule 5.1(a)(ii) neither the relevant prior art disclosed in document D6 (D1: PATENT ABSTRACTS OF JAPAN, Vol. 097, No. 007, July 31, 1997 & JP 09 082968 A (TOSHIBA CORP.), March 28, 1997) nor that document have been indicated in the description.

09/582067
430 Rec'd PCT/PTO 21 JUN 2000

IN THE UNITED STATES PATENT & TRADEMARK OFFICE

International Application No. PCT/DE98/03794
International Filing Date: 18 December 1998
Inventor: Erzgräber et al.
For: Semiconductor Substrate with Embedded...

Specification and Claims as Amended Pursuant to Rule 66 PCT

RECEIVED BY
ART 34 AMDT

1/PRB

09/582067
430 Rec'd PCT/PTO 21 JUN 2000

5 Integrated Circuit with Reduced Parasitic Capacitive Influence
and Method of Its Fabrication

The invention relates to an integrated circuit with reduced parasitic capacitive influence and to a method of its fabrication.

10

The reduction of parasitic capacitive influence is of ever increasing significance particularly in modern CMOS technologies. If integrated circuits are being realized by bipolar technologies, substrate-inherent capacitive and ohmic losses of inductances or other passive circuit elements may be kept
15 low by the use of high-ohmic or semi-insulating substrates. It must, however, be assumed that CMOS technologies are preferred because of lower costs, low power consumption and small dimensions.

The integration of passive elements, such as, for instance, inductances
20 constitutes a pressing necessity, particularly for realizing monolithic RF transceiver switching circuits on silicon substrates. In the GHz range impedance matching for which such passive elements are necessary. If CMOS technologies satisfy the requirements for fabricating RF transceivers for cellular systems or LAN, this means, however, that because of the usually
25 used low-ohmic Si substrates (typically 1 - 10 Ωcm) the desired high qualities of the inductances cannot be attained *a priori*. Optimizing these passive components, above all, is a matter of maximizing the quality factor by minimizing resistance losses and capacitive parasitics. Substrate-inherent losses may be reduced by removing the spiral path of the inductance as far
30 as possible from the silicon substrate, for instance, by using, in a multi-layer conductor system, the uppermost layer(s) for the spiral so that, overall, a

sufficiently thick insulation between spiral and substrate is yielded because of several intermediate plane insulating layers. However, since CMOS technologies measuring $\leq .5 \mu\text{m}$ utilize relatively thin insulating layers, the losses in low-ohmic silicon substrates cannot be kept sufficiently low without additional means. For reducing substrate-inherent losses such variants as the use of high-ohmic silicon wafers, the use of SOI substrates (on high-ohmic silicon wafer bases), the use of SOS substrate, removal of silicon below the spiral (air bridge), the use of dielectric materials of low relative dielectric constant, e.g., silicon dioxide as polymers, have been proposed. It has also been proposed to realize the metal spiral in a metal layer of a thickness of several μm over a very thick insulating layer, both layers being additionally formed above the CMOS structure required for the circuits. Such variants suffer from the drawback that established CMOS technologies must be modified or that the semiconductor substrates are dearer. Moreover, these variants cannot generally be used for all other passive elements of an integrated circuit, such as, in particular, resistors, capacitors, conductors and bonding pads which also are subject being influenced by parasitic capacitances.

It is an object of the invention to propose an integrated circuit of reduced parasitic capacitive influences, and a method of its fabrication, in which the parasitic capacitive influences are reduced to individual elements of the integrated circuit. Furthermore, the technological sequence for realizing the contact and conductor system of modern CMOS technologies is not to be adversely affected, and additional planarizing steps are not to become necessary.

The object is accomplished by a partial insulating layer of a thickness of at least $5 \mu\text{m}$ which is locally limited to the area of the elements of the integrated circuit and which is buried in the semiconductor substrate.

The losses arising from parasitic influences and which are dependent upon the specific electrical resistance of the silicon substrate used, are significantly reduced, so that the quality of an integrated inductance may be increased as a function of the selected thickness of the buried insulating layer by about 40 % and more, relative to planar inductances based on conventional CMOS.

The essential advantage of the insulating variant here proposed resides in the realization of the thick buried oxide restricted to the area of the subsequently formed element of the integrated circuit. In this manner, large differences in the structural heights and, therefore, complex planarizing measures are avoided in the subsequent technological process. Therefore, the process of fabricating strongly scaled CMOS or BiCMOS structures is not adversely affected by the necessity of inserting additional thick insulating layers between the spiral and the substrate to realize integrated inductances of high quality. The fabrication of integrated circuits in accordance with the invention is accomplished by the following steps

- ▶ masking of the surface of the silicon wafer,
- ▶ forming moats and ribs by anisotropic etching,
- ▶ an optional sacrificial oxidation, i.e. a partial anoxidation of the ribs followed by oxide removal for optimizing the ratio between the widths of the ribs and the moats,
- ▶ total oxidation of the ribs to silicon oxide and at least filling of the moats adjacent to the surfaces by precipitating silicon dioxide,
- ▶ CMOS process or CMOS-compatible silicon process for the fabrication of the individual elements of the integrated circuit by utilization of the partial steps inherent in the given process for fabricating the elements of the integrated circuit, the elements of reduced parasitic influences being formed above the area of the buried thick oxide.

Alternatively, an integrated circuit in accordance with the invention may also

be fabricated by

- ▶ masking of the surface of a p-silicon wafer,
- ▶ transforming the areas of the p-silicon not masked into porous silicon,
- ▶ oxidizing the porous silicon layer into silicon oxide,
- 5 ▶ CMOS process or CMOS-compatible silicon process for the fabrication of the individual elements of the integrated circuit by utilization of the partial steps inherent in the given process for fabricating the elements of the integrated circuit, the elements of reduced parasitic influences being formed above the area of the buried thick oxide.

10

The characteristics of the invention are not only apparent from the claims but also from the description and the drawings, protection being sought for elements constituting patentable embodiments by themselves or as subcombinations. Embodiments of the invention will hereinafter be
15 explained in greater detail.

In the figures:

Fig. 1 is a schematic top elevation of the structure of an inductance;

20 Fig. 2 is a schematic cross-section of an inductance.

Example 1:

Fig. 1 is a schematic top elevation depicting the structure of an inductance as part of an integrated circuit in accordance with the invention.

25 Fig. 2 schematically depicts a cross-section of the inductance. The integrated inductance consists of an upper metal plane 1 for realizing a spiral, an insulating layer 2, a lower metal plane 3 for forming a contact of the internal connection 10, an insulating layer 4, a field oxide layer 5, a channel stop layer 6, a buried thick local insulating layer 7 as well as a semiconductor substrate
30 8. The field oxide layer 5 as well as the channel stop layer 6 are disposed only outside of the area of the integrated inductance. The buried thick local

insulating layer 7 is arranged within the area of the inductance below the metal layers 1 and 3.

For fabricating the inductance, moats of a depth of about 10 μm are
5 formed by anisotropic etching in a silicon wafer by means of an etching mask
in the area of an integrated inductance to be formed in the subsequent
process, i.e. alternating moats and ribs are being formed. The width of the
ribs and moats is selected such that during subsequent transformation of the
ribs into silicon oxide by a thermal oxidizing process the moats are closed by
10 for a residual width of about 100 nm to 300 nm. Because of the increase in
volume, ribs of a width of .8 μm and moats of a width of 1.2 μm will yield
residual moats of a width of about 150 nm to 200 nm following total oxidation.
Optionally, the ratio of the width of ribs and moats may be precisely realized
by a preceding sacrificial oxidation or partial anoxidation of the ribs followed
15 by removal of the oxide. The residual moats remaining after total oxidation
are closed completely, at least near their surface, by a subsequent
precipitation of silicon dioxide, for instance by a CVD process. This sequence
results in a buried insulating layer 7 the thickness of which is defined by the
depth of the etched moats. Removal of the CVD oxide layer from the surface
20 and of the etching mask for etching the moats is followed by the appropriate
CMOS process. Alternatively, the etching mask may be partially or
completely removed prior to oxidation of the ribs. The integrated inductance
is realized above the buried thick insulating layer 7 by using the contact and
conductor system present in the CMOS process.

25

Example 2:

As a variant of the method according to the first example, an integrated
inductance is fabricated by the following method steps: A p-silicon wafer is
masked on its surface and thereafter the non-masked areas of the p-silicon
30 are transformed into porous silicon by anodic reaction into hydrofluoric acid,
the thickness of the porous silicon layer being between 6 μm and 20 μm . The

desired thickness of the porous silicon layer is set by the product of current strength and time. The current density is between $10 \text{ mA}\cdot\text{cm}^{-2}$, preferably between $40 \text{ mA}\cdot\text{cm}^{-2}$ and $50 \text{ mA}\cdot\text{cm}^{-2}$. The porosity is decisively defined by the concentration of the hydrofluoric acid. In the present example the

5 concentration of the hydrofluoric acid, relative to the mass, is between 40 % and 50 %. The porous silicon layer is subsequently oxidized. Depending upon the thickness ratio between the porous oxide layer to be oxidized and the field oxide layer 5 to be subsequently formed, it is within the scope of the invention to combine the oxidation with the formation of the field oxide layer 5.

10 By a suitable selection of anoxidation conditions an optimal porosity of the silicon of 56 % is to be aimed at so that the change in volume occurring during the transformation of the silicon into silicon dioxide is taken into consideration in order to minimize resulting stresses. The ensuing method steps to completion of the fabrication of the integrated inductance are carried

15 out analogously to the first example.

An integrated circuit of reduced parasitic capacitive influences and a method of its fabrication have been set forth by the present invention. It is to be noted, however, that the present invention is not limited to the details of

20 the described embodiments as changes and mutations are being claimed within the scope of the claims. An insulating layer locally restricted to the area of the elements of the integrated circuit and buried in the semiconductor substrate is not only suitable for fabricating an integrated inductance, but also other elements of the integrated circuit, in particular further passive

25 components such as resistors and capacitors as well as conductors and bonding pads.

30

Patent Claims:

1. Integrated circuit of reduced parasitic capacitive influences,
5 characterized by a partial insulating layer (7) of a thickness of at least 5 μm which is locally restricted to specific areas of the integrated circuit and which is buried in the semiconductor substrate (8).
2. Integrated circuit according to claim 1, characterized by a partial
10 insulating layer (7) of a thickness of at least 5 μm locally restricted to the area of one or more integrated inductances, one or more integrated resistors, one or more integrated capacitors, one or more integrated bonding pads and/or one or more conductors and buried in the semiconductor substrate (8).
- 15 3. Integrated circuit according to claim 2, characterized by the fact that the integrated inductance consists of at least one upper metal plane (1) for realizing a spiral, and insulating layer (2), a lower metal plane (3) for forming a contact of the inner connector (10), an insulating layer (4), a field oxide layer (5), a channel stop layer (6), a buried local insulating layer (7) of a
20 thickness of at least 5 μm as well as a semiconductor substrate (8).
4. Method of fabricating an integrated circuit comprising a local buried insulation, characterized by the method steps
 - ▶ masking of the surface of the silicon wafer,
 - 25 ▶ forming moats and ribs by anisotropic etching,
 - ▶ an optional sacrificial oxidation, i.e. a partial anoxidation of the ribs followed by oxide removal for optimizing the ratio between the widths of the ribs and the moats,
 - ▶ total oxidation of the ribs to silicon oxide and at least filling of the moats adjacent to the surfaces by precipitating silicon dioxide,
 - 30 ▶ CMOS process or CMOS-compatible silicon process for the fabrication

of the individual elements of the integrated circuit by utilization of the partial steps inherent in the given process for fabricating the elements of the integrated circuit, the elements of reduced parasitic influences being formed above the area of the buried thick oxide.

5

5. Method according to claim 4, characterized by the process steps of

- ▶ masking of the surface of the silicon wafer,
 - ▶ forming moats and ribs by anisotropic etching,
 - ▶ an optional sacrificial oxidation, i.e. a partial anoxidation of the ribs
- 10 followed by oxide removal for optimizing the ratio between the widths of the ribs and the moats,
- ▶ total oxidation of the ribs to silicon oxide and at least filling of the moats adjacent to the surfaces by precipitating silicon dioxide,
 - ▶ CMOS process or CMOS-compatible silicon process for the fabrication
- 15 of an inductance above the area of the buried thick oxide using the contact and conductor system present in the given process.

6. Method according to claim 4 or 5, characterized by etching moats of a depth of at least 5 μm , the width of the ribs and moats being selected such

20 that during a subsequent complete transformation of the ribs into silicon dioxide by oxidation the moats are closed but for a residual width of about 100 nm to 300 nm.

7. Method according to one or more of claims 4 to 6, characterized by the

25 fact that moats of at least 5 μm depth are etched such that ribs of a width of about .8 μm and moats of a width of about 1.2 μm are formed.

8. Method according to one or more of claims 4 to 6, characterized by the fact that moats of at least 5 μm depth are etched such that ribs of a width of

30 about .8 μm and moats of a width of about 1.2 μm are subsequently formed by an additional oxidation step.

9. Method of fabricating an integrated circuit, characterized by the method steps
- ▶ masking of the surface of a p-silicon wafer,
 - ▶ transforming the areas of the p-silicon not masked into porous silicon,
 - 5 ▶ oxidizing the porous silicon layer into silicon oxide,
 - ▶ CMOS process or CMOS-compatible silicon process for the fabrication of the individual elements of the integrated circuit above the area of the buried thick oxide by utilizing the partial steps inherent in the given process for fabricating the elements of the integrated circuit, the
 - 10 elements of reduced parasitic influences in particular being formed.
10. Method according to claim 9, characterized by the method steps
- ▶ masking of the surface of a p-silicon wafer,
 - ▶ transforming the areas of the p-silicon not masked into porous silicon,
 - 15 ▶ oxidizing the porous silicon layer into silicon oxide,
 - ▶ CMOS process or CMOS-compatible silicon process fabricating an inductance above the area of the buried thick oxide utilizing the contact and conductor system present in the given process.
- 20 11. Method according to claim 9 or 10, characterized by the fact that the transformation of the non-masked areas of the p-silicon into porous silicon takes place to a thickness of the porous silicon layer of between 5 μm and 20 μm .
- 25 12. Method according to one or more of claims 9 to 11, characterized by the fact that the transformation is carried out by anodic reaction into hydrofluoric acid.
13. Method according to one of claims 9 to 12, characterized by the fact
- 30 that the desired thickness of the porous silicon layer is set by the product of current strength and time.

14. Method according to one or more of claims 9 to 13, characterized by the fact that the current density during the transformation is between $10 \text{ mA}\cdot\text{cm}^{-2}$ and $100 \text{ mA}\cdot\text{cm}^{-2}$, preferably between $40 \text{ mA}\cdot\text{cm}^{-2}$ and $50 \text{ mA}\cdot\text{cm}^{-2}$.

5

15. Method according to one or more of claims 9 to 14, characterized by the fact that the concentration of the hydrofluoric acid is between 40 % and 50 % relative to the proportion of the mass.

10 16. Method according to one or more of claims 9 to 15, characterized by the fact that following the transformation the porosity of the silicon is about 56 %.

15

20

25

30

Abstract

The invention relates to an integrated circuit of reduced parasitic capacitive influences and to a method of its fabrication. It is an object of the invention to propose an integrated circuit of reduced parasitic capacitive influences and a method of its fabrication in which the parasitic capacitive influences on individual elements of the integrated circuit is reduced. In addition, the technological sequence for realizing the contact and conductor system of modern CMOS technologies is not to be adversely affected during the fabrication and, in particular, no additional planarizing steps are to become necessary. The object is accomplished by an at least partial insulating layer of a thickness of at least 5 μm which is locally restricted to the area of the elements of the integrated circuit and which is buried in the semiconductor substrate. The losses caused by parasitic influences and dependent upon the specific electrical resistance of the silicon substrate used, are significantly reduced so that depending upon the selected thickness of the buried insulating layer, the quality of an integrated inductance may be improved by about 40 % or more relative to planar inductances based upon conventional CMOS.

VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS

PCT

REC'D 08 MAR 2000

PCT

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

(Artikel 36 und Regel 70 PCT)

Aktenzeichen des Anmelders oder Anwalts IHP.138.PCT	WEITERES VORGEHEN siehe Mitteilung über die Übersendung des internationalen vorläufigen Prüfungsbericht (Formblatt PCT/IPEA/416)	
Internationales Aktenzeichen PCT/DE98/03794	Internationales Anmeldedatum (Tag/Monat/Jahr) 18/12/1998	Prioritätsdatum (Tag/Monat/Tag) 22/12/1997
Internationale Patentklassifikation (IPK) oder nationale Klassifikation und IPK H01L27/12		
Anmelder INSTITUT FÜR HALBLEITERPHYSIK FRANKFURT (ODER) GMB		



- Dieser internationale vorläufige Prüfungsbericht wurde von der mit der internationale vorläufigen Prüfung beauftragte Behörde erstellt und wird dem Anmelder gemäß Artikel 36 übermittelt.
- Dieser BERICHT umfaßt insgesamt 6 Blätter einschließlich dieses Deckblatts.

☒ Außerdem liegen dem Bericht ANLAGEN bei; dabei handelt es sich um Blätter mit Beschreibungen, Ansprüchen und/oder Zeichnungen, die geändert wurden und diesem Bericht zugrunde liegen, und/oder Blätter mit vor dieser Behörde vorgenommenen Berichtigungen (siehe Regel 70.16 und Abschnitt 607 der Verwaltungsrichtlinien zum PCT).

 Diese Anlagen umfassen insgesamt ¹¹~~10~~ Blätter.

3. Dieser Bericht enthält Angaben zu folgenden Punkten:

- I ☒ Grundlage des Berichts
- II ☐ Priorität
- III ☐ Keine Erstellung eines Gutachtens über Neuheit, erfinderische Tätigkeit und gewerbliche Anwendbarkeit
- IV ☐ Mangelnde Einheitlichkeit der Erfindung
- V ☒ Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderische Tätigkeit und der gewerbliche Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung
- VI ☐ Bestimmte angeführte Unterlagen
- VII ☒ Bestimmte Mängel der internationalen Anmeldung
- VIII ☐ Bestimmte Bemerkungen zur internationalen Anmeldung

Datum der Einreichung des Antrags 21/07/1999	Datum der Fertigstellung dieses Berichts 06.03.2000
Name und Postanschrift der mit der internationalen vorläufigen Prüfung beauftragten Behörde:  Europäisches Patentamt D-80298 München Tel. +49 89 2399 - 0 Tx: 523656 epmu d Fax: +49 89 2399 - 4465	Bevollmächtigter Bediensteter Kusztelan, L  Tel. Nr. +49 89 2399 2479

I. Grundlage des Berichts

1. Dieser Bericht wurde erstellt auf der Grundlage (*Ersatzblätter, die dem Anmeldeamt auf eine Aufforderung nach Artikel 14 hin vorgelegt wurden, gelten im Rahmen dieses Berichts als "ursprünglich eingereicht" und sind ihm nicht beigelegt, weil sie keine Änderungen enthalten.*):

Beschreibung, Seiten:

8 ursprüngliche Fassung

1-7 eingegangen am 22/12/1999 mit Schreiben vom 21/12/1999

Patentansprüche, Nr.:

1-8 eingegangen am 22/12/1999 mit Schreiben vom 21/12/1999

Zeichnungen, Blätter:

1/1 ursprüngliche Fassung

2. Aufgrund der Änderungen sind folgende Unterlagen fortgefallen:

- ☐ Beschreibung, Seiten:
☐ Ansprüche, Nr.:
☐ Zeichnungen, Blatt:

3. ☒ Dieser Bericht ist ohne Berücksichtigung (von einigen) der Änderungen erstellt worden, da diese aus den angegebenen Gründen nach Auffassung der Behörde über den Offenbarungsgehalt in der ursprünglich eingereichten Fassung hinausgehen (Regel 70.2(c)):

siehe Beiblatt

4. Etwaige zusätzliche Bemerkungen:

V. Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

1. Feststellung

Neuheit (N)	Ja: Ansprüche	1-8
	Nein: Ansprüche	
Erfinderische Tätigkeit (ET)	Ja: Ansprüche	4-8
	Nein: Ansprüche	1-3
Gewerbliche Anwendbarkeit (GA)	Ja: Ansprüche	1-8
	Nein: Ansprüche	

2. Unterlagen und Erklärungen

siehe Beiblatt

VII. Bestimmte Mängel der internationalen Anmeldung

Es wurde festgestellt, daß die internationale Anmeldung nach Form oder Inhalt folgende Mängel aufweist:

siehe Beiblatt

Abschnitt I

1. Die nach Artikel 19(1) PCT beim Internationalen Büro eingereichten Änderungen bringen Sachverhalte ein, die im Widerspruch zu Artikel 19(2) PCT über den Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgehen. Es handelt sich dabei um folgende Änderungen:
 - 1.1 In der Ansprüche:
 - 1.1.1 Anspruch 4, Seite 9, Zeilen 1-3, Zeilen 6-7 und Zeilen 10-11.
 - 1.1.2 Anspruch 9, Zeilen 13-14
 - 1.2 In der Beschreibung:
 - 1.2.1 Seite 4, Zeile 12
 - 1.2.2 Seite 5, Zeilen 13-17
 - 1.2.3 Seite 6, Zeile 24 bis Seite 7, Zeile 2
 - 1.2.4 Seite 7, Zeilen 6-7
- 1.3 Die Merkmale "im Weitenverhältnis von circa. 3:2 sowie eines um das gesamte Array von Gräben und Stegen gezogenen, um ca. 25% breiteren Grabens" und "dieses Array von Gräben und Stegen von einem breiteren Graben von ca. 1.5um Breite umgeben wird" der Ansprüche 4 und 7 (siehe auch 1.2.3) lassen sich aus der ursprünglichen eingereichten Unterlagen nicht entnehmen. Dementsprechend muß festgestellt werden, daß die Änderungen einer nicht offenbarten Auswahl entsprechen, und somit nicht gewährbar sind.
- 1.4 Angaben, die zwar den Gegenstand der Erfindung betreffen (z. B. weitere Einzelheiten bezüglich der Vorteile der Erfindung oder der zu lösenden Aufgabe), aber keine Grundlage in den ursprünglichen Unterlagen haben, siehe 1.1.1, 1.2.1, 1.2.2 und 1.2.4, können nur im Antwortschreiben erwähnt, aber nicht in die Anmeldung aufgenommen werden (Artikel 34(2)b) PCT).

Abschnitt V

1. Die vorliegende Anmeldung erfüllt nicht die Erfordernisse des Artikels 33(3) PCT, weil der Gegenstand des Anspruchs 1 nicht auf einer erfinderische Tätigkeit beruht.

Dokument D1 (US-A-5 548 150), das als nächstliegender Stand der Technik angesehen wird, offenbart (vgl. Figuren 78 u. 79 und den dazugehörigen Text) eine Induktivität (d.h. ein spezielle passives Element), die auf einer im Halbleitersubstrat versenkten Isolationsschicht gebildet ist, siehe Spalte 26, Zeilen 36-47. Selbst wenn eine solche Eigenschaft nicht explizit aus D1 zu entnehmen wäre, ist dies für den Fachmann zwangsläufig, weil die benachbarten Streifen der Induktivität voneinander elektrisch isoliert werden müssen (in dieser Zusammenhang, siehe auch Spalte 25, Zeile 3-9).

Der Gegenstand des Anspruchs 1 unterscheidet sich von dieser Integrierte Schaltung nur dadurch, daß die Isolationsschicht mindestens 5µm dick ist. Da auf Spalte 26, Zeilen 45-47 und 57-60 ausdrücklich erwähnt ist, daß diese Schicht dick sein soll, um die parasitären Kapazität zu verringern (siehe in diesem Zusammenhang auch die Ausführungsbeispiel der Figur 30, wo Schichtdicken von mehr als 10µm angewendet werden), muß die Einsetzung von solchen Schichtdicken als naheliegend bezeichnet werden, Art.33(3) PCT.

2. Die abhängigen Ansprüche 2 und 3 enthalten keine Merkmale, die in Kombination mit den Merkmalen irgendeines Anspruchs, auf den sie sich beziehen, die Erfordernisse des PCT in bezug auf erfinderische Tätigkeit erfüllen. Die Merkmale, die offensichtlich nicht in D1 schon offenbart sind, nämlich die Verwendung von integrierten Induktivitäten, Widerstände und Kapazitäten in MMIC-Technologie auf SOI, sind aus D3 bekannt (siehe Zusammenfassung u. Fig.2).

3. Ein nach die Einwände des Abschnitts 1 geänderter Anspruch 4 (siehe der ursprünglich eingereichte Anspruch 7) ist aus dem vorliegenden Stand der Technik weder bekannt, noch wird sie durch ihn nahegelegt. Anhand eines solchen Verfahrens, in dem ein Array von Gräben und Stegen in einem bestimmten Weitenverhältnis ausgebildet sind, wird ein verringertes Dielektrizitätskonstant realisiert.

Abschnitt VII

Im Widerspruch zu den Erfordernissen der Regel 5.1 a) ii) PCT werden in der Beschreibung weder der in dem Dokument D6 (D 1 : P A T E N T ABSTRACTS OF JAPAN vol. 097, no. 007, 31. Juli 1997 & JP 09 082968 A (TOSHIBA CORP), 28. März 1997) offenbarte einschlägige Stand der Technik noch dieses Dokument angegeben.

Integrierte Schaltung mit verringerten parasitären kapazitiven Einflüssen und Verfahren zu ihrer Herstellung

5

Die Erfindung bezieht sich auf eine integrierte Schaltung mit verringerten parasitären kapazitiven Einflüssen und ein Verfahren zu ihrer Herstellung.

Die Verringerung parasitärer kapazitiver Einflüsse spielt insbesondere in den modernen CMOS-Technologien eine immer größer werdende Rolle. Werden integrierte Schaltungen mit Bipolar-Technologien realisiert, können durch Verwendung hochohmiger oder semiisolierender Substrate die substratbedingten kapazitiven und ohmschen Verluste von Induktivitäten oder anderen passiven Schaltungselementen gering gehalten werden. Es ist jedoch davon auszugehen, daß CMOS-Technologien wegen geringerer Kosten, eines geringen Leistungsverbrauchs und geringerer Abmessungen bevorzugt werden.

Die Integration passiver Elemente wie z. B. von Induktivitäten ist eine dringende Notwendigkeit insbesondere für die Realisierung monolithischer RF Transceiver Schaltkreise auf Silizium-Substraten. Im GHz-Bereich wird zwischen den Blöcken eine Impedanz-Anpassung erforderlich, für die diese passiven Elemente benötigt werden. Erfüllen CMOS-Technologien die Anforderungen zur Herstellung von RF Transceivern für zellulare Systeme oder LAN, bedeutet dies jedoch, daß aufgrund der zumeist verwendeten niederohmigen Si-Substrate (typisch 1 - 10 Ωcm) die gewünschten hohen Güten der Induktivitäten nicht a priori erreicht werden können. Die Optimierung dieser passiven Komponenten bedeutet vor allem die Maximierung des Gütefaktors (Q) durch eine Minimierung der Widerstandsverluste und der kapazitiven Parasitics. Die substratbedingten Verluste können reduziert werden, indem die Spiralbahn der Induktivität möglichst weit vom Silizium-Substrat entfernt wird - z. B.

GEÄNDERTES BLATT

indem bei einem Mehrebenen-Leitbahnsystem die oberste(n) Ebene(n) für die Spirale verwendet wird, so daß sich aufgrund mehrerer Zwischenebenen-Isolierschichten in der Summe eine ausreichend dicke Isolation zwischen Spirale und Substrat ergibt. Da CMOS-Technologien mit Abmessungen $\leq 0.5 \mu\text{m}$ jedoch i.a. relativ dünne Isolierschichten verwenden, können bei niederohmigen Silizium-Substraten die Verluste ohne zusätzliche Maßnahmen nicht ausreichend gering gehalten werden. Zur Reduzierung der substratbedingten Verluste wurden bisher solche Varianten wie Verwendung von hochohmigen Silizium-Wafern, Verwendung von SOI-Substraten (auf Basis hochohmiger Silizium-Wafer), Verwendung von SOS-Substraten, Entfernung von Silizium unter der Spirale (Luftbrücke), Verwendung von Dielektrika mit geringerer relativer Dielektrizitätskonstante als von Siliziumdioxid, z.B. Polymere, sowie Realisierung der Metallspirale in einer mehrere μm dicken Metallschicht über einer sehr dicken Isolierschicht, wobei beide Schichten zusätzlich oberhalb des für die Schaltungen benötigten CMOS-Aufbaus zu realisieren sind, vorgeschlagen. Diese Varianten haben den Nachteil, daß die etablierten CMOS-Technologien modifiziert werden müssen bzw. die Halbleitersubstrate teurer sind. Auch sind diese Varianten nicht generell für alle weiteren passiven Elemente einer integrierten Schaltung, wie insbesondere Widerstände, Kapazitäten, Leitbahnen und Bondinseln, die ebenfalls mit parasitären kapazitiven Einflüssen behaftet sind, anwendbar.

Die US 5,548150 beschreibt einen Feldeffekttransistor auf SOI-Substrat, bei dem zur Geschwindigkeitserhöhung eine vergrabene Isolationsschicht unterhalb der aktiven Schichten zur Erzeugung der aktiven Elemente angeordnet ist. Weitere Anwendungen spezieller über Wafer-Bonding erzeugter SOI-Substrate betreffen die Herstellung integrierter Induktivitäten. Da im Bereich der Spiralen das Silizium entfernt wird, treten unerwünschte Höhenunterschiede auf. In Abwandlung hierzu wird in anderen Varianten poröses (und damit hochohmiges) Si zur Reduzierung der Parasitics verwendet.

Die US 4,910,165 beinhaltet einen SOI-Prozeß unter Nutzung von oxidiertem porösen Silizium zur Ausbildung von dielektrisch isolierten epitaktischen Silizium-Inseln, in denen nachfolgend aktive Elemente realisiert werden. Auch hierbei erfolgt eine Geschwindigkeitsverbesserung von Feldeffekt- und Bipolartransistoren, indem durch eine dickere Isolationsschicht die direkte kapazitive Kopplung zwischen der epitaktischen Si-Insel und dem Substrat reduziert wird.

Von C.M. Nam, u.a. wird in „High-Performance Planar Inductor on Thick Oxidized Porous Silicon Substrate“, IEEE Microwave and guided wave letters, Bd. 7, Nr. 8, S. 236ff eine dicke oxidierte poröse Siliziumschicht auf p-Silizium als Substrat für planare Induktivitäten und andere passive Bauelemente beschrieben. Die dicke Isolationsschicht wird großflächig erzeugt, so daß dieses Substrat nicht Ausgangspunkt für einen CMOS- oder CMOS-kompatiblen Prozeß sein kann. Die US 5,736,749 beschreibt eine integrierte Schaltung mit einer Induktivität. Die Induktivität ist oberhalb einer Region von mindestens 200 µm dickem porösem Silizium ausgebildet. Das entspricht einem lokal hochohmigen Substratbereich. Die Verwendung von hochohmigem Substrat ist eine der wesentlichen Möglichkeiten, parasitäre Kapazitäten zu verringern, ist aber mit großem Waferdurchmesser nicht verfügbar und erfordert zur Latchup-Unterdrückung zusätzliche technologische Prozeßschritte.

Aufgabe der Erfindung ist es, eine integrierte Schaltung mit verringerten parasitären kapazitiven Einflüssen und ein Verfahren zu ihrer Herstellung vorzuschlagen, bei denen die parasitären kapazitiven Einflüsse für einzelne Elemente der integrierten Schaltung verringert sind. Weiterhin soll bei der Herstellung der technologische Ablauf zur Realisierung des Kontakt- und Leitbahnsystems moderner CMOS-Technologien nicht nachteilig beeinflusst sein und insbesondere keine zusätzlichen Planarisierungsschritte erforderlich werden.

Diese Aufgabenstellung wird durch eine partielle, mindestens 5 μm dicke Isolierschicht, die auf den Bereich spezieller passiver Elemente der integrierten Schaltung lokal begrenzt und im Halbleitersubstrat versenkt ist, gelöst.

- 5 Die durch parasitäre Einflüsse bedingten Verluste, die vom spezifischen elektrischen Widerstand des verwendeten Siliziumsubstrates abhängig sind, werden stark verringert, so daß sich z. B. die Güte einer integrierten Induktivität in Abhängigkeit von der gewählten Dicke der vergrabenen Isolierschicht um ca. 40 % und darüber hinaus gegenüber planaren Induktivitäten auf konventioneller CMOS-Basis erhöhen läßt.
- 10 Der wesentliche Vorteil dieser hier vorgeschlagenen lokalen Isolationsvariante besteht in der Realisierung des nur auf den Bereich eines späteren passiven Elements der integrierten Schaltung begrenzten dicken, verspannungsfrei realisierten versenkten Oxids. Hierdurch werden im nachfolgenden technologischen Prozeß gravierende Unterschiede in den Strukturhöhen - und damit aufwendige Planarisierungsmaßnahmen - vermieden. Der Prozeß zur Herstellung stark
- 15 skalierter CMOS- oder BiCMOS-Strukturen wird somit nicht nachteilig durch die Notwendigkeit, für die Realisierung von z. B. integrierten Induktivitäten mit hoher Güte zusätzliche dicke Isolationsschichten zwischen Spirale und Substrat einzufügen, beeinflußt. Die Herstellung einer erfindungsgemäßen integrierten Schaltung erfolgt durch die Verfahrensschritte
- Maskierung der Oberfläche des Silizium-Wafers,
 - 20 - Ausbildung von Gräben und Stegen durch anisotrope Ätzung,
 - wahlweise Durchführung einer Opferoxidation, d. h. einer teilweisen Anoxidation der Stege mit nachfolgender Oxidentfernung zur Optimierung des Verhältnisses zwischen den Breiten der Stege und Gräben,
 - vollständige Oxidation der Stege zu Siliziumoxid und zumindest oberflächennahes Auf-
 - 25 füllen der Gräben durch Abscheidung von Siliziumoxid,

- CMOS-Prozeß oder CMOS-kompatibler Siliziumprozeß mit Herstellung der einzelnen Elemente der integrierten Schaltung unter Nutzung der im jeweiligen Prozeß vorhandenen Teilschritte zur Erzeugung der Elemente der integrierten Schaltung, wobei die passiven Elemente mit verringerten parasitären Einflüssen oberhalb der Region des vergrabenen dicken Oxids erzeugt werden.

Die erfindungsgemäße Lösung hat den Vorteil daß substratbedingte Verluste passiver Elemente wie z.B. Induktivitäten, Kapazitäten oder Widerstände stark reduziert werden. Von besonderem Vorteil ist, daß alle zur Erzeugung der versenkten Oxidregion verwendeten Prozeßschritte CMOS-kompatibel sind und keine unkonventionellen Prozeßschritte enthalten. Damit müssen die etablierten CMOS- oder CMOS-kompatiblen Silizium-Technologien nicht modifiziert werden, und ein kostengünstiges Halbleitersubstrat kann verwendet werden. Besonders dann, wenn zur Latchup-Unterdrückung in CMOS-Technologien mit $<0.5 \mu\text{m}$ Strukturmaßen sehr niederohmige Substrate ($< 0.1 \cdot \text{cm}$) verwendet werden, ist die Anwendung der versenkten lokalen Isolation für integrierte Induktivitäten von Vorteil. Bei diesen Substraten können der Q-Faktor und die Eigenresonanzfrequenz um mindestens 100 % erhöht werden. Die erfindungsgemäße Lösung ist generell für alle weiteren passiven Elemente einer integrierten Schaltung, wie insbesondere Widerstände, Kapazitäten, Leitbahnen und Bondinseln, die ebenfalls mit parasitären kapazitiven Einflüssen behaftet sind, anwendbar.

Die Merkmale der Erfindung gehen außer aus den Ansprüchen auch aus der Beschreibung und den Zeichnungen hervor, wobei die einzelnen Merkmale jeweils für sich allein oder zu mehreren in Form von Unterkombinationen schutzfähige Ausführungen darstellen, für die hier Schutz beansprucht wird. Nachfolgend wird die Erfindung an einem Ausführungsbeispiel näher erläutert.

Die Figuren zeigen:

Fig. 1 schematischer Aufbau einer Induktivität in Draufsicht

Fig. 2 schematischer Schnitt einer Induktivität

5 Fig. 1 zeigt den schematischen Aufbau einer Induktivität als Teil einer erfindungsgemäßen integrierten Schaltung in Draufsicht, in Fig. 2 wird eine Schnittdarstellung der Induktivität gezeigt. Die integrierte Induktivität besteht aus einer oberen Metallebene 1 zur Realisierung einer Spirale, einer Isolationsschicht 2, einer unteren Metallebene 3 zur Kontaktherstellung des inneren Anschlusses 10, einer Isolationsschicht 4, einer Feldoxidschicht 5, einer Kanal-

10 stopperschicht 6, einer vergrabenen, dicken lokalen Isolationsschicht 7 sowie dem Halbleiter-substrat 8. Die Feldoxidschicht 5 sowie die Kanalstopperschicht 6 befinden sich nur außerhalb des Gebiets der integrierten Induktivität. Die vergrabene, dicke lokale Isolationsschicht 7 ist nur im Bereich der Induktivität unterhalb der Metallschichten 1, 3 angeordnet.

Zur Herstellung der Induktivität werden in einen Silizium-Wafer mit Hilfe einer Ätzmaske im

15 Bereich der im nachfolgenden Prozeß zu realisierenden integrierten Induktivität mit einem anisotropen Ätzverfahren Gräben von ca. 10 μm Tiefe, mindestens aber 5 μm Tiefe, derart geätzt, daß im Wechsel Gräben und Stege entstehen. Die Breite der Stege und Gräben wird so gewählt, daß bei einer nachfolgenden vollständigen Umwandlung der Stege in Siliziumdioxid mittels eines thermischen Oxidationsprozesses die Gräben bis auf eine Restbreite von ca.

20 100 nm bis 300 nm geschlossen werden. Aufgrund des Volumenzuwachses ergeben z. B. Stege von 0,8 μm Breite und Gräben von 1,2 μm Breite nach vollständiger Oxidation der Stege Restgräben von ca. 150 nm bis 200 nm Breite. Gegebenenfalls kann eine Feinoptimierung des Verhältnisses der Breiten der Stege und der Gräben durch eine vorgelagerte Opferoxidation, d. h. eine teilweise Anoxidation der Stege mit nachfolgender Oxidentfernung zur Verringerung

25 der Breite der Si-Stege und der Vergrößerung der Grabenbreite durchgeführt werden. Das gesamte Array von parallelen Gräben und Stegen wird von einem um ca. 25 % breiteren

- Graben umgeben. Dieser Graben verhindert speziell am Ende der langen Si-Stege bei deren Umwandlung in Siliziumdioxid Verspannungen. Die nach vollständiger Oxidation verbleibenden Restgräben werden mittels einer abschließenden Abscheidung von Siliziumdioxid, z. B. durch CVD-Prozeß, zumindest oberflächennah vollständig geschlossen. Durch diesen
- 5 Ablauf entsteht eine dicke versenkte Isolationsschicht 7, deren Dicke durch die Tiefe der geätzten Gräben definiert ist. Die im mittleren Bereich dieser Oxidregion verbleibenden Hohlräume bieten zusätzlich den Vorteil einer effektiv verringerten Dielektrizitätskonstanten. Nach Entfernung der CVD-Oxidschicht von der Oberfläche und der Ätzmaske für das Grabenätzen schließt sich der jeweils verwendete CMOS- oder CMOS-kompatible Silizium-
- 10 Prozeß an. Alternativ kann die Ätzmaske bereits vor der Oxidation der Stege ganz oder teilweise entfernt werden. Die integrierte Induktivität wird unter Verwendung des in diesem CMOS-Prozeß vorhandenen Kontakt- und Leitbahnsystems oberhalb der vergrabenen, dicken Isolationsschicht 7 realisiert.
- 15 In der vorliegenden Erfindung wurde anhand eines konkreten Ausführungsbeispiels eine integrierte Schaltung mit verringerten parasitären kapazitiven Einflüssen und ein Verfahren zu ihrer Herstellung erläutert. Es sei aber vermerkt, daß die vorliegende Erfindung nicht auf die Einzelheiten der Beschreibung im Ausführungsbeispiel eingeschränkt ist, da im Rahmen der Patentansprüche Änderungen und Abwandlungen beansprucht werden. Neben der Anwen-
- 20 dung zur Herstellung einer integrierten Induktivität eignet sich die Verwendung einer Isolierschicht, die auf den Bereich der Elemente der integrierten Schaltung lokal begrenzt und im Halbleitersubstrat versenkt ist, nicht nur für integrierte Induktivitäten, sondern auch für andere Elemente der integrierten Schaltung, insbesondere weitere passive Bauelemente wie Widerstände und Kapazitäten, aber auch für Leiterbahnen und Bondinseln.

Patentansprüche

- 5 1. Integrierte Schaltung mit verringerten parasitären kapazitiven Einflüssen, mit einer im Halbleitersubstrat (8) versenkten Isolationsschicht (7), **dadurch gekennzeichnet**, daß die Isolationsschicht (7) mindestens 5 μm dick ist und auf spezielle Bereiche der integrierten Schaltung, nämlich auf spezielle passive Elemente lokal begrenzt ist.
- 10 2. Integrierte Schaltung nach Anspruch 1, **dadurch gekennzeichnet**, daß die partielle, mindestens 5 μm dicke Isolationsschicht (7), auf den Bereich einer oder mehrerer integrierter Induktivitäten, einer oder mehrerer integrierter Widerstände, einer oder mehrerer integrierter Kapazitäten, einer oder mehrerer integrierter Bondinseln und/oder einer oder mehrerer Leiterbahnen lokal begrenzt und im Halbleitersubstrat (8) versenkt ist.
- 15 3. Integrierte Schaltung nach Anspruch 2, **dadurch gekennzeichnet**, daß die integrierte Induktivität aus zumindest einer oberen Metallebene (1) zur Realisierung einer Spirale, einer Isolationsschicht (2), einer unteren Metallebene (3) zur Kontaktherstellung des inneren Anschlusses (10), einer Isolationsschicht (4), einer Feldoxidschicht (5), einer Kanalstopperschicht (6), einer vergrabenen, mindestens 5 μm dicken, lokalen Isolationsschicht (7) sowie dem Halbleitersubstrat (8) besteht.
- 20 4. Verfahren zur Herstellung einer integrierten Schaltung mittels CMOS- oder CMOS-kompatibler Silizium-Technologien mit lokaler versenkter Isolation, **gekennzeichnet durch** die Verfahrensschritte
- 25 - Maskierung der Oberfläche eines Silizium-Wafers,

- Ausbildung von mindestens 5 μm tiefen Gräben und Stegen im Weitenverhältnis von ca. 3:2 sowie eines um das gesamte Array von Gräben und Stegen gezogenen, um ca. 25 % breiteren Grabens, durch anisotrope Ätzung,
 - wahlweise Durchführung einer Opferoxidation, d. h. einer teilweisen Anoxidation der Stege mit nachfolgender Oxidentfernung zur Feinoptimierung des Verhältnisses zwischen den Breiten der Stege und Gräben mit dem Ziel der Verhinderung von Verspannungen und eventueller Versetzungsbildung im nachfolgenden Prozeßschritt,
 - vollständige Oxidation der Stege zu Siliziumoxid und zumindest oberflächennahes Auffüllen der verbliebenen Rest-Gräben durch Abscheidung von Siliziumoxid, wobei im mittleren Bereich der Oxidregion Hohlräume verbleiben, die den zusätzlichen Vorteil einer effektiv erhöhten Dielektrizitätskonstanten bieten,
 - CMOS-Prozeß oder CMOS-kompatibler Siliziumprozeß mit Herstellung der integrieren Schaltung unter Nutzung der im jeweiligen Prozeß vorhandenen Teilschritte zur Erzeugung der Elemente der integrierten Schaltung, wobei passive Elemente der integrierten Schaltung zwecks verringerter parasitärer Einflüsse unmittelbar oberhalb der Region der vergrabenen, mindestens 5 μm dicken Isolationsschicht (7) erzeugt werden.
- 5.
- Verfahren nach Anspruch 4, **gekennzeichnet durch** die Verfahrensschritte
- Maskierung der Oberfläche eines Silizium-Wafers,
 - Ausbildung von mindestens 5 μm tiefen Gräben und Stegen durch anisotrope Ätzung,
 - wahlweise Durchführung einer Opferoxidation, d. h. einer teilweisen Anoxidation der Stege mit nachfolgender Oxidentfernung zur Optimierung des Verhältnisses zwischen den Breiten der Stege und Gräben,
 - vollständige Oxidation der Stege zu Siliziumoxid und zumindest oberflächennahes Auffüllen der Gräben durch Abscheidung von Siliziumoxid,

- CMOS-Prozeß oder CMOS-kompatibler Siliziumprozeß mit Herstellung einer Induktivität unter Nutzung des im jeweiligen Prozeß vorhandenen Kontakt- und Leitbahnsystems oberhalb der Region des vergrabenen dicken Oxids.

- 5 6. Verfahren nach Anspruch 4 oder 5, **dadurch gekennzeichnet**, daß Gräben von mindestens 5 μm Tiefe derart geätzt werden, daß die Breite der Stege und Gräben so gewählt wird, daß bei einer nachfolgenden vollständigen Umwandlung der Stege in Siliziumdioxid mittels Oxidation die Gräben bis auf eine Restbreite von ca. 100 nm bis 300 nm geschlossen werden.

10

7. Verfahren nach einem oder mehreren der Ansprüche 4 bis 6, **dadurch gekennzeichnet**, daß Gräben von mindestens 5 μm Tiefe derart geätzt werden, daß Stege von ca. 0,8 μm Breite und Gräben von ca 1,2 μm Breite entstehen und dieses Array von Gräben und Stegen von einem breiteren Graben von ca. 1,5 μm Breite umgeben wird.

15

8. Verfahren nach einem oder mehreren der Ansprüche 4 bis 6, **dadurch gekennzeichnet**, daß Gräben von mindestens 5 μm Tiefe derart geätzt werden, daß Stege von ca. 0,8 μm Breite und Gräben von ca 1,2 μm Breite mittels eines zusätzlichen Opferoxidations-schrittes nachträglich erzeugt werden.

20

Zusammenfassung

Die Erfindung bezieht sich auf eine integrierte Schaltung mit verringerten parasitären kapazitiven Einflüssen und ein Verfahren zu ihrer Herstellung. Aufgabe der Erfindung ist es, eine integrierte Schaltung mit verringerten parasitären kapazitiven Einflüssen und ein Verfahren zu ihrer Herstellung vorzuschlagen, bei denen die parasitären kapazitiven Einflüsse für einzelne, speziell passive Elemente der integrierten Schaltung verringert sind. Weiterhin soll bei der Herstellung von Schaltungen mit integrierten passiven Elementen der technologische Ablauf zur Realisierung des Kontakt- und Leitbahnsystems moderner CMOS- oder CMOS-kompatibler Silizium-Technologien nicht nachteilig beeinflusst sein und insbesondere keine zusätzlichen Planarisierungsschritte erforderlich werden. Diese Aufgabenstellung wird durch eine partielle, mindestens 5 μm dicke Isolierschicht, die auf den Bereich der Elemente der integrierten Schaltung lokal begrenzt und im Halbleitersubstrat versenkt ist, gelöst. Die durch parasitäre Einflüsse bedingten Verluste, die vom spezifischen elektrischen Widerstand des verwendeten Siliziumsubstrates abhängig sind, werden stark verringert, so daß sich z. B. die Güte einer integrierten Induktivität in Abhängigkeit von der gewählten Dicke der vergrabenen Isolierschicht um ca. 40 % und darüber hinaus gegenüber planaren Induktivitäten auf konventioneller CMOS-Basis erhöhen läßt.